

12 位 100 MHz Bicomos 流水线模数转换器的设计

王小力¹, 刘云涛²

(1. 西安交通大学超大规模集成电路设计研究中心, 710049, 西安;

2. 哈尔滨工程大学信息与通信工程学院, 150001, 哈尔滨)

摘要: 为了解决流水线结构模数转换器(ADC)的高速度、高精度和大动态范围兼顾问题,提出了一种改进的2.5 b/级与1.5 b/级结构相结合的系统设计方案. 该系统中,流水线第1级采用2.5 b/级结构,2~10级均采用1.5 b/级结构,改进后的结构增大了系统的动态范围,同时更加模块化,降低了电路设计的复杂度. 设计了2级Bicomos运算放大器,并提出了一种全新的应用于1.5 b/级结构的差分比较器. 所设计的运算放大器可同时实现高增益、大带宽,电路速度快,不需要额外的补偿电容,可应用于高频环境,并具有较强的输出摆幅. 所设计的差分比较器电路简化,节省了元件,不需电阻分压网络产生参考电压,减小了芯片面积. ADC系统采用0.35 μm Bicomos工艺技术和3.3 V工作电压,经仿真实验,在100 MHz的采样频率下,该系统的信噪比为73.7 dB,对应的有效位为11.95 b,无杂散动态范围为87.4 dB,实现了12位高分辨率和100 MHz的高采样速度.

关键词: 流水线; 结构模数转换器; 运算放大器; 比较器

中图分类号: TP335 **文献标志码:** A **文章编号:** 0253-987X(2008)10-1204-05

Research and Design of 12 bit 100 MHz Pipelined Analog-to-Digital Converter

WANG Xiaoli¹, LIU Yuntao²

(1. VLSI Research Center, Xi'an Jiaotong University, Xi'an 710049, China; 2. College of Information and Communication Engineering, Harbin Engineering University, Harbin 150001, China)

Abstract: An improved architecture of combining 2.5 b/stage and 1.5 b/stage structures is presented to solve the problem that high speed, high precision and dynamic specification are concerned at the same time in pipelined analog-to-digital converters (ADC). In the system, 2.5 b/stage structure is applied in the first stage, and 1.5 b/stage structures are applied in 2 to 10 stages, which extends the dynamic range of the system, modularizes the design and decreases the complexity of circuits. Two-stage Bicomos operational amplifier and a novel differential comparator that is used in 1.5 b/stages are designed. The operational amplifier can achieve high gain, bandwidth, fast speed, output swing at the same time, does not need compensation capacitance, and could operate in high frequency environment. The comparator does not need resistances to produce reference voltage, decreases the number of devices and saves chip area. The ADC is designed with 0.35 μm Bicomos process and 3.3 V power supply. The simulation results show that the SNR of system is 73.7 dB, the effective number of bits is 11.95 b, and spurious free dynamic range is 87.4 dB in 100 MHz sampling rate environment. The ADC can achieve 12 b converter precision when the sampling rate is 100 MHz.

Keywords: pipeline; analog-to-digital converter; operational amplifier; comparator

随着数字信号处理(DSP)技术的发展,高速度、高精度的模数转换器(ADC)系统被广泛应用于无线通信、视频处理及高分辨率图像处理技术领域。对 ADC 设计而言,兼顾速度与精度的设计是突出的难点问题^[1]。传统的全并行闪烁型(Flash)ADC 能达到较快的速度,但由于芯片面积与分辨率成指数增长关系,欲实现 8 位以上的高分辨率难度较大; Σ ADC 虽具有较高的精度,但只能应用于音频信号和低频信号等领域。流水线结构是一种既可实现高速度,又能实现高分辨率的结构,因此流水线 ADC 在高速度、高精度模数转换应用中受到普遍关注。本文研究了 2.5 b/级与 1.5 b/级结构相结合的设计方案,实现了一种优化的流水线 ADC。本文系统在采用 0.35 μm Bicomos 工艺技术和 3.3 V 工作电压下,经仿真实验实现了 12 位高分辨率和 100 MHz 高采样速度,满足了设计要求。

1 流水线 ADC 的工作原理

流水线 ADC 包括采样保持(S/H)电路、N 级流水线子转换电路、延迟寄存器、数字校正电路、时钟产生电路和带隙基准电路等。流水线 ADC 由多级结构和功能相似的子电路构成,采用多个较低精度的 Flash 结构 ADC 对采样信号进行分级量化,然后将各级量化结果组合,构成高精度数字输出^[2]。每一级由 S/H、低分辨率 ADC、数模转换器(DAC)及求和电路构成,求和电路中还包括级间放大器等,如图 1 所示。在实际电路中,将前级的子 DAC 电路、余量产生和放大电路与下一级的 S/H 电路结合在一起,构成增益数模转换器(MDAC)。

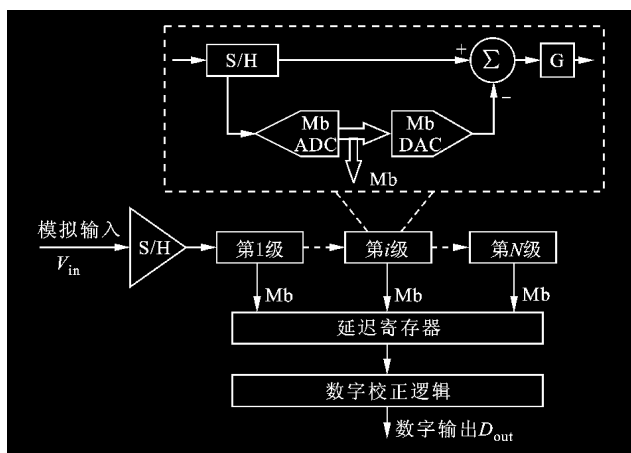


图 1 N 级流水线 ADC 结构

2 流水线 ADC 设计

2.1 总体结构设计

为了使模数转换器达到设计要求的转换速度,

并具有较强的动态范围,我们将流水线 ADC 的第 1 级转换精度确定为 2.5 b。由于 1.5 b/级结构可以最大化开关电容电路的带宽,对比较器有最大校正范围,并有最快的转换速度^[3],故从 2 级至 9 级设计均采用了 1.5 b/级结构。传统流水线结构的第 10 级是标准的 2 b Flash 结构 ADC,由于最后一级没有数字校正,因此传统设计的复杂度较大。

根据数字校正原理,数字电路通过把每级的 2 位数字输出与前一级的输出错位相加,从而得到最终的数字输出。由于每一级的 2 位数字输出都是通过子 ADC 产生的,因此我们将第 10 级仍采用 1.5 b/级结构,而只在其后增加了 1 个比较器。该比较器把输入信号与 0 进行比较得到数字量,用于对第 10 级进行校正。由于改进系统的 2~10 级均采用相同结构,因此大大简化了设计。本文系统结构如图 2 所示。

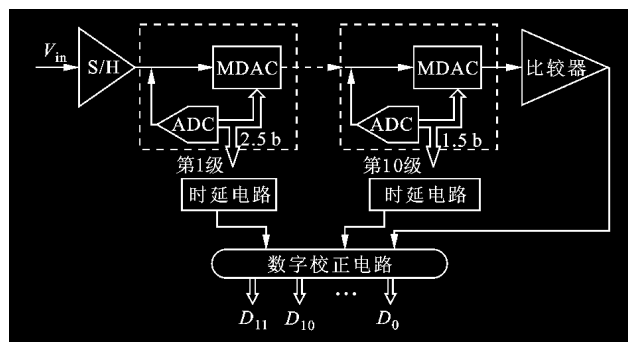


图 2 系统总体结构设计

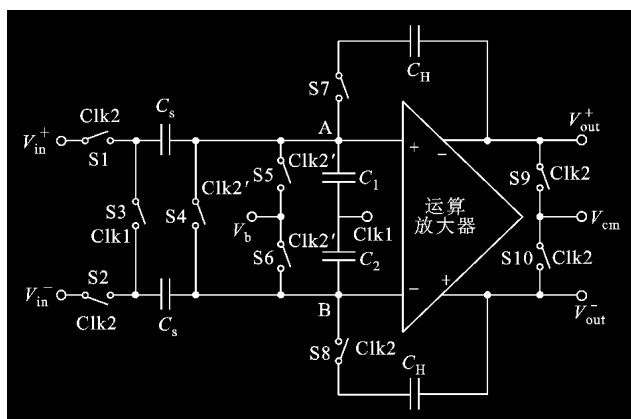
2.2 采样保持电路设计

S/H 电路设计如图 3 所示。为减小采样开关的导通电阻,获得高采样速度,S/H 电路采用时钟提升电路控制开关。我们采用全差分结构,辅助时钟设计和增加 C_1 、 C_2 小电容的方法,来减小电荷注入效应对系统的影响。

图 3 中的 $\text{Clk2}'$ 是 Clk2 的辅助时钟,利用辅助时钟与主时钟间的延迟,使开关 S_4 、 S_5 、 S_6 先于 S_1 、 S_2 断开,这样存储在运放输入节点的电荷总量将保持不变, S_1 、 S_2 沟道电荷注入就不会影响采样电容 C_s 两端电荷量的变化。电容 C_1 、 C_2 吸收了开关 S_5 、 S_6 断开时向运放的输入端注入的负电荷,减小了 S_5 、 S_6 电荷注入对运放输入端的影响。

2.3 MDAC 电路设计

增益数模转换器(MDAC)电路是基于开关电容电路设计的,由高性能运算放大器、采样电容与保持电容和模拟开关 3 部分组成。图 4 为第 2 级至第 10



V_{in} 、 V_{out} :差动输入、输出电压; C_s :采样电容; C_H :保持电容; V_b 、 V_{cm} :运放的输入、输出共模电压

图3 采样保持电路

级采用的MDAC电路。在采样相时,由主时钟Clk2控制,采样电容 C_s 与输入信号 V_{in} 相连;在保持相时,由该级比较器输出信号 S_a 、 S_b 、 S_c 、 S_d 控制, C_s 与参考电压 V_X 、 V_Y 或交流地(V_{cm})相连,通过运放的反馈作用,输出数模转换值。第1级MDAC设计与后9级相似,实现的是4倍增益,所以设计采用8个采样电容。

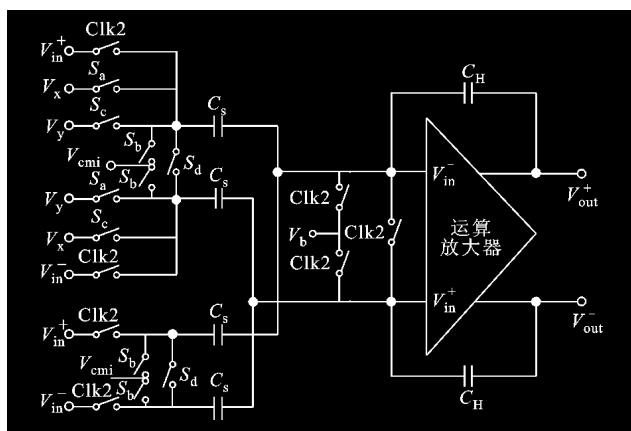


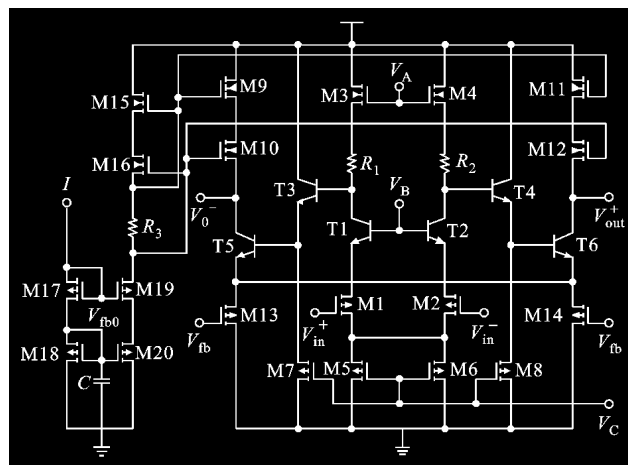
图4 第2级MDAC电路

3 电路设计

3.1 运放设计

由分析可知,设计要求的运放增益大于84 dB,在6 pF负载下,单位增益带宽大于580 MHz。在2 pF负载下,单位增益带宽大于1.16 GHz。我们设计的运放电路采用2级结构,如图5所示。第2级采用双极晶体管作为输入管,因为其具有大输入跨导和大输出阻抗,故可实现运放的高增益^[4-5]。同时,在两级间加入晶体管T3、T4,使第1级输出降低了基级-射级电压,可增大第2级的输出摆幅。

为了获得大的带宽和相位裕度,设计在第1级输出端采用双极型晶体管,寄生电容很小,第1非主极点的位置比较高,所以不需要增加补偿电容,而是将负载电容同时作为补偿电容,优化了运放的建立响应。与传统的CMOS两级运放比较,设计的运算放大器可同时实现高增益、大带宽,不需额外的补偿电容,具有大输出摆幅、电路速度快、可应用于高频环境的特点。



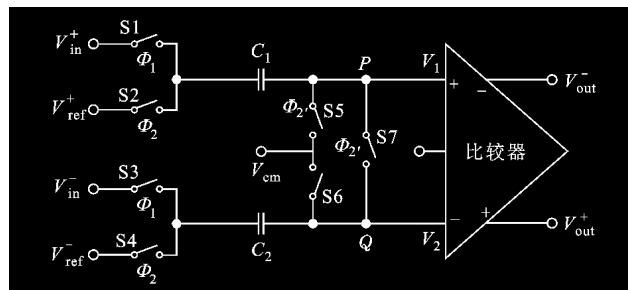
M1~M20:MOS晶体管;T1~T6:双极晶体管; R_1 ~ R_3 :多晶硅电阻; V_A 、 V_B 、 V_C :偏置电压; V_{fb} :共模反馈电压; I :偏置电流

图5 运算放大器电路设计

3.2 比较器设计

3.2.1 2.5 b/级结构中差动比较器 由于2.5 b/级和1.5 b/级结构对于比较器允许失调的范围不同,因此对2种结构的子电路分别设计了实现差动比较的比较器。

在2.5 b/级结构中,比较器的允许失调为 $(1/8)V_R$, V_R 为输入信号。由于允许失调较小,设计开关电容电路实现了差动比较,如图6所示。



V_{ref} :参考电压; Φ_1 、 Φ_2 :双相不交叠时钟; Φ_2' : Φ_2 的辅助时钟

图6 2.5 b/级结构中差动比较器

通过对P、Q两点电荷在采样相和保持相的分析,可得

$$V_1 - V_2 = (V_{in}^+ - V_{in}^-) - (V_{ref}^+ - V_{ref}^-) \quad (1)$$

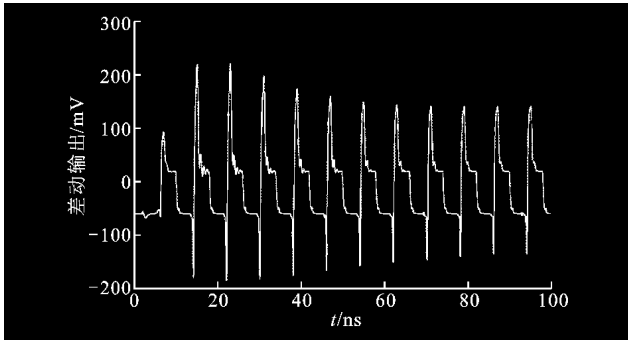


图10 第1级MDAC电路的仿真结果

钟频率为 100 MHz,输入信号频率变化,所得 FFT 结果如表 1 所示.保持输入信号频率为 4.375 MHz,时钟频率变化,所得结果如表 2 所示.表 1、表 2 的实验结果表明了速度和精度的折中关系.

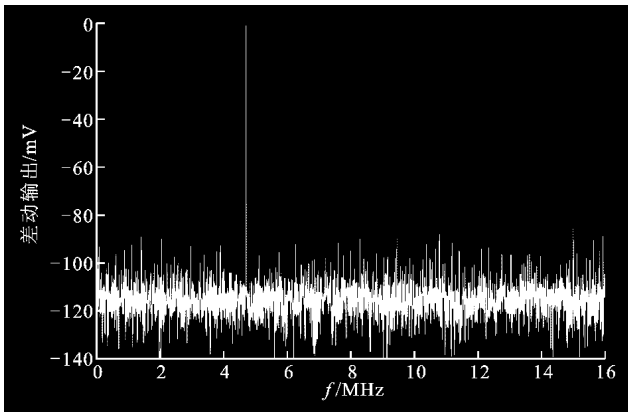


图11 ADC系统动态仿真结果

表1 ADC动态指标与输入信号频率的关系

输入信号频率/ MHz	$R_{SN}/$ dB	有效位/ b	无杂散动态范围/ dB
1	73.2	11.87	88.1
4.375	73.7	11.95	87.3
10	72.8	11.80	86.5
40	71.5	11.58	85.2

表2 ADC动态指标与时钟频率的关系

时钟频率/ MHz	$R_{SN}/$ dB	有效位/ b	无杂散动态范围/ dB
50	73.8	11.96	87.4
80	73.7	11.95	87.3
100	73.7	11.95	87.3
120	71.2	11.53	84.6

5 结 论

本文在理论研究的基础上,设计实现了一个优化的 12 位 100 MHz 的流水线 ADC 系统,并在 Cadence SPECTRE 下对系统各单元电路进行了仿真实验.在采样频率为 100 MHz 时,ADC 可得到 12 位的高转换精度,实验结果与理论分析一致,满足 ADC 整体的设计要求,实验结果表明,该 ADC 设计可靠,具有较大的应用前景.

参考文献:

- [1] RAZAVI B. Principle of data conversion system design [M]. New York, USA: Wiley-IEEE Press, 1995.
- [2] GRAY P R, HURST P J. Analysis and design of analog integrated circuits [M]. 4th ed. New York, USA: John Wiley & Sons, 2000.
- [3] LEWIS S H, FETTERMAN S, GROSS G F, et al. A 10-b20-Msample/s analog-to-digital converter [J]. IEEE Journal of Solid-State Circuits, 1992, 27(3): 351-356.
- [4] GUTMANN S D, ROSE K R J. A 87 dB 2.3 GHz SiGe BiCMOS operational transconductance amplifier [C]// Proceedings of the 2004 International Symposium on Circuits and Systems, Piscataway, NJ, USA: IEEE, 2004: 677-680.
- [5] Devarajan S. Design of BiCMOS operational amplifiers for switched capacitor applications [D]. New York, USA: Rensselaer Polytechnic Institute, 2003.

(编辑 刘杨)